

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

(1)日本特許庁 (JP)

(2)公開特許公報 (A)

(3)特許公報番号

特開平9-8207

(4)公開日 平成9年(1997)1月10日

(5) (a) (i) (C.I.)	登録記号	内閣登録番号	F1	技術表示番号
WO91 23/50			WO91 23/50	1
21/60	301		21/60	301
23/28			23/28	4

審査請求 文書文 書式の変更 FD (合15頁)

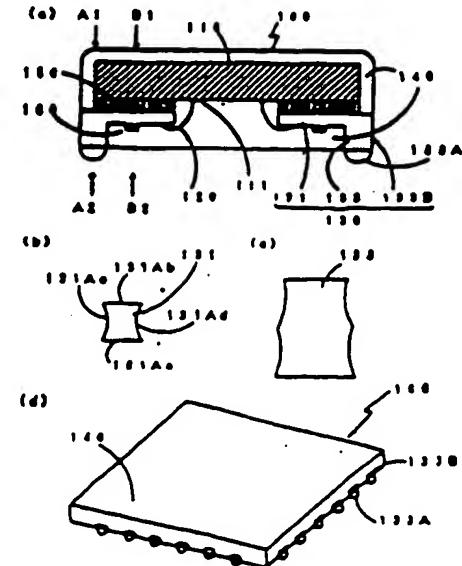
(1)出願番号 特願平7-176898	(7)出願人 000002897 大日本印刷株式会社 東京都新宿区市谷加賀町一丁目1番1号
(2)出願日 平成7年(1995)6月21日	(7)発明者 山田 伸一 東京都新宿区市谷加賀町一丁目1番1号 大日本印刷株式会社内
	(7)発明者 在木 伸一 東京都新宿区市谷加賀町一丁目1番1号 大日本印刷株式会社内
	(7)代理人 外君士 小西 邦英

(5) (a) (発明の名称) 防塵封止型半導体装置

(6) (要約)

(目的) リードフレームを用いた防塵封止型半導体装置であって、多端子化に対応させて実用性の良いものを提供する。

(構成) 2段エッティング加工によりインナーリード部の厚さがリードフレーム部の厚さよりも薄く外周加工されたリードフレームを用い、且つ、外周寸法をほぼ半導体素子に合わせた、封止用樹脂により封止封止したCSP (Chip Size Package) 型の半導体装置であって、内記リードフレームは、周囲のインナーリード部と、該インナーリード部に対し、インナーリード部の外周側の端部においてインナーリードに嵌合する方向で、半導体素子基板部と反対側に一側的に置いた、外周側と接続するための端子部を有するもので、該端子部の外周側の端に半導体からなる端子部を設け、該端子部を封止用樹脂部から突出させている。



(供試品の略図)

【供試品1】 2段エッティング加工によりインナーリードの厚さがリードフレーム素材の厚さよりも薄めに加工されたリードフレームを用い、外見寸法をほぼ半導体電子に合わせて封止用部材により封止封止したCSP (C h i l d S i z e P a c k a g e) 型の半導体装置であって、内記リードフレームは、リードフレーム素材よりも薄めのインナーリードと、インナーリードに一体的に追加したリードフレーム素材と同じ厚さの外部回路とは併用するための形状の電子部を有し、且つ、電子部はインナーリードの外周側においてインナーリードに対して底み方向に固定し、かつ半導体電子部底面と反対側に抜けられており、電子部の先端部に半田等からなる電子部を抜け、電子部を封止用部材部から露出させており、半導体電子部は、半導体電子部の電極部を有する面にて、インナーリード部に封止用部材を介して底面されており、半導体電子部の電極部はインナーリード間に抜けられ、半導体電子部底面とは反対側のインナーリード先端部とワイヤにて電気的に接続されていることを外観とする封止型半導体装置。

【供試品2】 2段エッティング加工によりインナーリードの厚さがリードフレーム素材の厚さよりも薄めに加工されたリードフレームを用い、外見寸法をほぼ半導体電子に合わせて封止用部材により封止封止したCSP (C h i l d S i z e P a c k a g e) 型の半導体装置であって、内記リードフレームは、リードフレーム素材よりも薄めのインナーリードと、インナーリードに一体的に追加したリードフレーム素材と同じ厚さの外部回路とは併用するための形状の電子部を有し、且つ、電子部はインナーリードの外周側においてインナーリードに対して底み方向に固定し、かつ半導体電子部底面と反対側に抜けられており、電子部の先端部の一部を封止用部材部から露出させて電子部とし、電子部の外周側の部材を封止用部材部から露出させており、半導体電子部は、半導体電子部の電極部を有する面にて、インナーリード部に封止用部材を介して底面されており、半導体電子部の電極部はインナーリード間に抜けられ、半導体電子部底面とは反対側のインナーリード先端部とワイヤにて電気的に接続されていることを外観と目されていることを外観とする封止型半導体装置。

【供試品3】 供試品1ないし2において、リードフレームはダイパッドを有しており、半導体電子部はその電極部をインナーリード部とダイパッド部との間に設けていることを外観とする封止型半導体装置。

【供試品4】 2段エッティング加工によりインナーリードの厚さがリードフレーム素材の厚さよりも薄めに加工されたリードフレームを用い、外見寸法をほぼ半導体電子に合わせて封止用部材により封止封止したCSP (C h i l d S i z e P a c k a g e) 型の半導体装置であって、内記リードフレームは、リードフレーム素材

よりも厚めのインナーリードと、インナーリードに一体的に追加したリードフレーム素材と同じ厚さの外部回路とは併用するための形状の電子部を有し、且つ、電子部はインナーリードの外周側においてインナーリードに対して底み方向に固定し、かつ半導体電子部底面と反対側に抜けられており、電子部の先端部に半田等からなる電子部を抜け、電子部を封止用部材部から露出させており、半導体電子部は、半導体電子部の一部に抜けられたパンプを介してインナーリード部には接され、半導体電子部とインナーリード部とが電気的に接続していることを外観とする封止型半導体装置。

【供試品5】 2段エッティング加工によりインナーリードの厚さがリードフレーム素材の厚さよりも薄めに加工されたリードフレームを用い、外見寸法をほぼ半導体電子に合わせて封止用部材により封止封止したCSP (C h i l d S i z e P a c k a g e) 型の半導体装置であって、内記リードフレームは、リードフレーム素材よりも薄めのインナーリードと、インナーリードに一体的に追加したリードフレーム素材と同じ厚さの外部回路とは併用するための形状の電子部を有し、且つ、電子部はインナーリードの外周側においてインナーリードに対して底み方向に固定し、かつ半導体電子部底面と反対側に抜けられており、電子部の先端部の一部を封止用部材部から露出させて電子部とし、電子部の外周側の部材を封止用部材部から露出させており、半導体電子部は、半導体電子部の一部に抜けられたパンプを介してインナーリード部には接され、半導体電子部とインナーリード部とが電気的に接続していることを外観とする封止型半導体装置。

【供試品6】 供試品1ないし5において、インナーリードは、底面電極が底面で第1面、第2面、第3面、第4面の4面を有しており、かつ第1面はリードフレーム素材と同じ厚さの他の部分の一方が底と同一平面上にあって第2面に向かっており、第3面、第4面はインナーリードの内側に向かって凹んだ形状に形成されていることを外観とする封止型半導体装置。

(発明の詳細な説明)

(0001)

【底面上の構成分野】 本発明は、半導体装置の多層化に対応する、且つ、半導体の良い小型化が可能な底面上封止型半導体装置に就するもので、特に、エッティング加工により、インナーリード部をリードフレーム素材の厚さよりも薄めに加工したリードフレームを用いた封止型半導体装置に就する。

(0002)

【底面上の形状】 本底より用いられている封止型半導体装置は、プラスチックリードフレームパッケージに、一層に電子回路(10)に示されるような構造であり、本底は半導体(12)を封止するダイパッド部(11)に

馬蹄の回路との電気的接続を行うためのアワーリード部1113、アワーリード部1113に一体となったインナーリード部1112、はインナーリード部1112の半導体部子1120の電極パッド1121とそれを電気的に接続するためのワイヤ1130、半導体部子1120を封止して外界からの応力、熱熱から守る耐圧1140等からなっており、半導体部子1120をリードフレームのダイパッド1111部等に形成した後に、耐圧1140により封止してパッケージとしたもので、半導体部子1120の電極パッド1121にかかる数のインナーリード1112を必要とするものである。そして、このような耐圧封止型の半導体部子の耐圧部材として用いられる（馬蹄）リードフレームは、一般的には図11(b)に示すような構造のもので、半導体部子を封止するためのダイパッド1111と、ダイパッド1111の周囲に設けられた半導体部子と封止するためのインナーリード1112、はインナーリード1112に遮蔽して外露回路との接続を行うためのアワーリード1113、耐圧封止用のダムとなるダムバー1114、リードフレーム1110全体を支持するアーチ（アーチ）部1115等を備えており、通常、コバルト、42合金（42%ニッケル-48%鉄）等の耐熱性のような耐電性に優れた金属を用い、プレス等もしくはエッチング等により形成されていた。

【0003】このようなリードフレームを利用した耐圧封止型の半導体部子（プラスチックリードフレームパッケージ）においても、電子機器の高機能化の開拓と半導体部子の高集成度化には、小型高密度かつ高機能部子の増大化が要望で、その結果、耐圧封止型半導体部子、特にQFP（Quad Flat Package）及びTQFP（Thin Quad Flat Package）等では、リードの多ピン化が要しくなってきた。上記の半導体部子に用いられるリードフレームは、既往のものはオートリソグラフィー技術を用いたエッチング加工方法により形成され、既往でないものはプレスによる加工方法による作成されるのが一般的であったが、このような半導体部子の多ピン化には、リードフレームにおいても、インナーリード部先端の複雑化が追み、そのため、既往なものに対しては、プレスによる押出し加工によらず、リードフレーム部材の厚度が0.25mm程度のものを用い、エッチング加工で対応して来た。このエッチング加工方法の工程について以下、図10に示すように順序に述べておく。まず、42%ニッケル-48%鉄等の耐熱性に優れた半導体部子（リードフレーム部材1010）を十分焼成（図10(a)）した後、電気炉内にカリフムを充満させた水槽はカゼインレジスト等のファイアレジスト1020を用いての風量炉にて一に充満する。（図10(j)）

次いで、所定のパターンが形成されたマスクを介して蒸気炉内でレジスト膜を焼成した後、所定の厚さまでは

感光性レジストを被せし（図10(c)）、レジストパターン1030を形成し、後膜処理、成膜処理等を必要に応じて行い、感光性二重膜水溶液を三たる成分とするエッチング液にて、スプレイにて該液（リードフレーム部材1010）に吹き付け所定のマスク部にエッチングし、露呈させる。（図10(d)）

次いで、レジスト膜を被せた後（図10(e)）、熱処理、所定のリードフレームを用いて、エッチング加工工程を施す。このように、エッチング加工工程によって形成されたリードフレームは、更に、所定のエリアに露呈マスク等が施される。次いで、熱処理、成膜等の処理を経て、インナーリード部を固定用の接着剤をボリュミドテープにてテープ接着したり、必要に応じて所定の金属アーチバーを曲げ加工し、ダイパッド部をダウンセットする処理を行う。しかし、エッチング加工方法においては、エッチング液による局部は該加工液の作用方向の逆に延び（図）方向にも延びたり、その複雑化加工にも問題があるのが一般的で、図10に示すように、リードフレーム部材の周囲からエッチングするため、ラインアンドスペース構造の場合、ライン間隔の加工限度は、底厚の50~100%程度とされている。又、リードフレームの加工比のアワーリードの幅度を考慮した場合、一般的には、その底厚は約0.125mm以上を要とされている。この点、図10に示すようなエッチング加工方法の場合、リードフレームの底厚は0.15mm~0.125mm程度まで薄くすることにより、ワイヤボンディングのための必要な厚さは70~80μmとし、0.165mmピッチ程度の複雑なインナーリード部先端のエッチングによる加工を形成して来たが、これが現状とされていた。

【0004】しかしながら、近年、耐圧封止型半導体部子は、カバーパッケージでは、電極端子であるインナーリードのピッチが0.165mmピッチを越て、既に0.16~0.13mmピッチまでの高ピッチ化要求がでてきたこと、エッチング加工において、リードフレームの底厚を薄くした場合には、アセンブリ工程や実装工程といった後工程に向けたアワーリードの形状構成が複雑化という点から、年にリード部材の底厚を薄くしてエッチング加工を行う方法にも限界が出てきた。

【0005】これに對応する方法として、アワーリードの底厚を既定したまま細分化を行う方法で、インナーリード部分をハーフエッチングもしくはプレスにより薄くしてエッチング加工を行う方法が開発されている。しかし、プレスにより薄くしてエッチング加工をおこなう場合には、該工程においての精度が不足する（例えば、カッターエリアの不規則性）、ボンディング、モールディング等のクランプに必要なインナーリードの厚さは、アワーリードの底厚とならない。即ち封止工程が複雑化されなければならない。封止を2段行なわなければならぬ事例が複数例になら、封止構成が多くある。そして、インナーリード部分をハーフエッチングにより薄く

してエッティング加工を行う方法の場合にし、回路を2段行なわなければならず、製造工程が複雑になるという問題があり、いずれも実用化には、未だ至っていないのが現状である。

(0006)

【発明が解決しようとする課題】一方、電子機器の実用化小化の研究にはい、半導体パッケージにおいても、小面積で実用性が高いものが求められるようになってきて、外端子をほぼ半導体素子に合わせて、封止用樹脂により樹脂封止したCSP (Chip Size Package) とされるパッケージが実用されるようになってきた。CSPを使う恩恵を以下に簡単に述べる。

①第一にピン数が同じなら、QFP (Quad Flat Package) やBGA (Ball Grid Array) には比べて実用面積を格段に小さくできる。②第二に、パッケージヤードが同じならQFPやBGAよりもピン数が多くなる。QFPについては、パッケージや基板の反りを考えると、実用的に使えるサーキットは最大40mm角であり、アワターリードピッチが0.5mmピッチのQFPでは304ピンが限界となる。どうにピン数を増やすためには、0.4mmピッチや0.3mmピッチが必要となるが、この場合には、ユーズが実用性の高い実装（一括リフロー・ハンダ付け）を行うのが難しくなってくる。一括にはQFPの製造に関してはアワターリードピッチが0.3mmピッチ以下ではコストを上げては実用的となるのは困難と言われている。BGAは、上記QFPの限界を打破するものとし、回路を構成するための外端子を二面アレイ化にし、外端子ピッチを広げることで実用の実現を梗概しようとするものである。BGAの場合、外端子が300ピンを超える領域でも、実装通りの一括リフロー・ハンダ付けはできるが、30mm~40mm角になると、基板サイクルによって外端子のハンダ・バンプにクラックが入るため、600ピン~700ピン、最大でも1000ピンが実用の限界と一致には言われている。外端子をパッケージ裏面に二面アレイに受けたCSPの場合には、BGAのコンセプトを引き継ぎ、且つ、アレイ化の端子ピッチを増やすことが可能となる。また、BGA同様、一括リフロー・ハンダ付けが可能である。

③第三に、QFPやBGAにはべるとパッケージ内部の配線長が短くなるため、寄生容量が小さくなり伝導遮断時間が短くなる。LSIクロック周波数が100MHzを越えるようになると、QFPではパッケージ内部の配線が問題になってしまい、内部配線を短くしたCSPの方方が有利である。しかしながら、CSPは実用面でに優れるものの、多端子化に対しては、端子のピッチをどうに取るかが課題で、この点での限界がある。本発明は、このような実用のしと、リードフレームを用いた樹脂封止型半導体素子において、多端子化に対応す。且つ、一層の小型化に成功して半導体素子を実現す。

しようとするものである。

(0007)

【課題を解決するための手段】本発明の樹脂封止型半導体素子は、2段エッティング加工によりインナーリードの厚さがリードフレーム全体の厚さよりも薄くに外側加工されたリードフレームを用い、外端子をほぼ半導体素子に合わせて封止用樹脂により樹脂封止したCSP (Chip Size Package) 型の半導体素子であって、前記リードフレームは、リードフレーム本体よりも周囲のインナーリードと、該インナーリードに一括的に形成したリードフレーム本体と同じ厚さの外端子部と形成するための柱状の端子部とを有し、且つ、端子部はインナーリードの外端側においてインナーリードに対して厚み方向に延長し、かつ半導体素子封止部と反対側に抜けられており、端子部の先端部に半導体からなる端子部を抜け、端子部封止用樹脂部から露出させ、端子部の外端側の側面を封止用樹脂部から露出させており、半導体素子は、半導体素子の表面部（パッド）を有する面にて、インナーリード部に封止用樹脂を介して固定されており、半導体素子の裏面部（パッド）はインナーリード間に抜けられ、半導体素子封止部とは反対側のインナーリード先端部とワイヤにて電気的に接続されていることを特徴とするものである。また、本発明の樹脂封止型半導体素子は、2段エッティング加工によりインナーリードの厚さがリードフレーム本体の厚さよりも薄くに外側加工されたリードフレームを用い、外端子をほぼ半導体素子に合わせて封止用樹脂により樹脂封止したCSP (Chip Size Package) 型の半導体素子であって、前記リードフレームは、リードフレーム本体よりも周囲のインナーリードと、該インナーリードに一括的に形成したリードフレーム本体と同じ厚さの外端子部と形成するための柱状の端子部とを有し、且つ、端子部はインナーリードの外端側においてインナーリードに対して厚み方向に延長し、かつ半導体素子封止部と反対側に抜けられており、端子部の先端部に半導体からなる端子部を抜け、端子部封止用樹脂部から露出させ、端子部の外端側の側面を封止用樹脂部から露出させており、半導体素子は、半導体素子の裏面部（パッド）を有する面にて、インナーリード部に封止用樹脂を介して固定されており、半導体素子の裏面部（パッド）はインナーリード間に抜けられ、半導体素子封止部とは反対側のインナーリード先端部とワイヤにて電気的に接続されていることを特徴とするものである。そして上記において、回路構成しない2において、リードフレームはダイパッドを有しておらず、半導体素子はその裏面部（パッド）をインナーリード部とダイパッド部との間に並べていることを特徴とするものである。また、本発明の樹脂封止型半導体素子は、2段エッティング加工によりインナーリードの厚さがリードフレーム本体の厚さよりも薄くに外側加工されたリードフレームを用い、外端子をほぼ半導体素子に合わせて

封止用部屋により前部封止したCSP (Clip Size Package) 型の半導体装置であって、前記リードフレームは、リードフレーム素材よりも薄肉のインナーリードと、はインナーリードに一体的に重ねしたリードフレーム素材と同じ厚さの外端部材と形成するためのせばの電子部とを有し、且つ、電子部はインナーリードの外端部においてインナーリードに対して厚み方向に直交し、かつ半導体電子部反対側と反対側に向けられており、電子部の先端部に半田等からなる電子部を抜け、電子部を封止用部屋から露出させ、電子部の外端部の側面を封止用部屋から露出させており、半導体電子部は、半導体電子部の一端に向けられたパンプを介してインナーリード部に形成され、半導体電子部とインナーリード部とが電気的に接続していることを特徴とするものである。また、本発明の前部封止型半導体装置は、2段エッチング加工によりインナーリードの厚さがリードフレーム素材の厚さよりも薄肉に外れ加工されたリードフレームを用い、外端半導体電子部は半導体電子部に合わせて封止用部屋により前部封止したCSP (Clip Size Package) 型の半導体装置であって、前記リードフレームは、リードフレーム素材よりも薄肉のインナーリードと、はインナーリードに一体的に重ねしたリードフレーム素材と同じ厚さの外端部材と形成するためのせばの電子部とを有し、且つ、電子部はインナーリードの外端部においてインナーリードに対して厚み方向に直交し、かつ半導体電子部反対側と反対側に向けられており、電子部の先端部の側面を封止用部屋から露出させており、半導体電子部は、半導体電子部の一端に向けられたパンプを介してインナーリード部に形成され、半導体電子部とインナーリード部とが電気的に接続していることを特徴とするものである。そして上記において、インナーリードは、新規形状が四方形で第1面、第2面、第3面、第4面の4面を有しており、かつ第1面はリードフレーム素材と同じ厚さの他の部分の一方の面と同一平面上にあって第2面に向かって凹んだ形状に形成されていることにより、インナーリード部の第2面は平坦面を有せず、ワイヤボンディング性の良いものとしている。また第1面は半導体電子部とインナーリード部はインナーリード側に凹曲であるためインナーリード部は、定位しており、且つ、ワイヤボンディングの平場を広くとれる。

【0008】 [作用] 本発明の前部封止型半導体装置に、上記のように構成することにより、リードフレームを用いた封止用部屋において、多段子化に対応でき、且つ、実用性の良い小型の半導体装置の性能を可視とするものであり、同時に、図1 (a) に示す直層リードフレームを用いた場合のように、ダムバーのプレスによる缺欠工程や、アウターリードのフォーミング工程を必要としないため、これらの工程に起因して発生していたアウターリードのスキューブ問題やアウターリードの平坦性 (コープラナリティー) の問題を全く無くすことができる半導体装置の成形を可能とするものである。加えて、2段エッチング加工によりインナーリード部の厚さが素材の厚さよりも薄肉に外れ加工された、即ち、インナーリードを新規に加工された多ビンのリードフレームを用いていることにより、半導体装置の多段子化に対応できるものとしており、且つ、外端半導体電子部は半導体電子部に合わせて、封止用部屋により前部封止したCSP (Clip Size Package) 型の半導体装置としていることにより、小型化して販売することを可能としている。更に、は述する、図1に示す2段エッチングにより形成された、インナーリードは、新規形状が四方形で第1面、第2面、第3面、第4面の4面を有しており、かつ第1面はリードフレーム素材と同じ厚さの他の部分の一方の面と同一平面上にあって第2面に向かって凹んだ形状に形成されていることにより、インナーリード部の第2面は平坦面を有せず、ワイヤボンディング性の良いものとしている。また第1面は半導体電子部とインナーリード部はインナーリード側に凹曲であるためインナーリード部は、定位しており、且つ、ワイヤボンディングの平場を広くとれる。

【0009】 また、本発明の前部封止型半導体装置は、半導体電子部が、半導体電子部の一端に向けられたパンプを介してインナーリード部に形成され、半導体電子部とインナーリード部とが電気的に接続していることにより、ワイヤボンディングの必要がなく、一連したボンディングを可能としている。

【0010】 【実施例】 本発明の前部封止型半導体装置の実施例を図にそって説明する。先ず、実施例1を図1に示し、説明する。図1 (a) は実施例1の前部封止型半導体装置の断面図であり、図1 (b) (イ) は図1 (a) のA1-A2におけるインナーリード部の断面図で、図1 (b) (ロ) は図1 (a) のB1-B2における電子部の断面図である。図1中、100は半導体装置、110は半導体電子部、111は電極部 (パッド) 、120はワイヤ、130はリードフレーム、131はインナーリード、131A5は第1面、131A6は第2面、131A7は第3面、131A8は第4面、131A9は第5面、131A10は第6面、

133Aは電子部、133Bは前部、140は前部側面、150は絶縁層部、160は耐候用テープある。本実施例1の断面封止型半導体装置においては、半導体電子110は、半導体電子の保護部（パッド）111部の周で保護部（パッド）111がインナーリード間に嵌まるようにして、インナーリード131に絶縁層部150を介して固定固定されている。そして、保護部111は、ワイヤ120にて、インナーリード部131の先端の第2面131Aと電気的に接続されている。本実施例1の半導体装置100と外部回路との電気的な接続は、電子部133先端部に付けられた半導体の半導体部133Aを介してプリント基板等へ接続されることにより行われる。実施例1の半導体装置100に使用のリードフレーム130は、42%ニッケル-鉄合金を基材としたもので、そして、図6(a)に示すような形状をしたエッチングにより外側加工されたリードフレームを用いたものである。電子部133他の部分より専門に形成されたインナーリード131をもつ、ダムバー136は断面封止する際のダムとなる。又、図6(a)に示すような形状をしたエッチングにより外側加工されたリードフレームを、本実施例においては用いたが、インナーリード部131と電子部133以外は6角形に不要なものであるから、特にこの形状に規定はされない。インナーリード部131の厚さは124.0μm、インナーリード部131以外の厚さは、120.15mmでリードフレーム部材の厚さのままである。また、インナーリードピッチは0.12mmと長いピッチで、半導体装置の多様化に対応できるものとしている。インナーリード部131の第2面131Aには半導体部ワイヤポンディングしない形状となっており、第3面131Aと、第4面131Aはインナーリード部へ凹んだ形状をしており、第2ワイヤポンディング部を置くしても電気的に良いものとしている。又、図6(b)は図6(a)のC1-C2における断面を示している。耐候用テープ160はインナーリード部にカレが発生しないよう固定しておくものである。又、インナーリードの長さが長い場合には後述図6(c)に示す形状のリードフレームをエッチング加工にて作成し、これに前述する方法により半導体電子を固定して断面封止できるが、インナーリードが長く、インナーリードにカレを生じない場合には保護部150に示す形状にエッチング加工することは出来ないため、図6(c) (イ)に示すようにインナーリード先端部を保護部150にて固定した状態にエッチング加工した後、インナーリード131部を耐候テープ160で固定し（図6(c) (ロ)）、次いでプレスにて、半導体装置部の間に不導体部131Bを除去し、この状態で半導体電子を固定して半導体装置を形成する。 (図6(c))

図6(c) (c) (E1-E2)はプレスにての図である。

インを示している。

【0011】次に本実施例1の断面封止型半導体装置の組立方法を図5に基づいて簡単に説明する。まず、は述するエッチング加工にて作成され、不要の部分をカットイング走査等で除去されたもつと、インナーリード先端部保護部が図5で上になるようにして固定した。又、インナーリード131部の長さが長い場合には、必要に応じて、インナーリードの先端部がボリュミドテープによるリーテーピング固定されているものを用意する。次いで半導体電子110の保護部111側面を図5で下にして、インナーリード131間にめり、保護部111と160を介してインナーリード131に固定固定した。 (図5(c))

半導体電子110をリードフレーム130に固定固定した後、リードフレーム部130を半導体の上にして、半導体電子110の保護部111とインナーリード部131の先端部をワイヤ120にてポンディング接続した。 (図5(d))

次いで、過度の前止用部140で断面封止を行った。 (図5(e))

断面による封止は所定の型を用いて行うが、半導体電子110のサイズで、且つ、リードフレームの電子部の外側の面が若干部屋から外側へ突出した状態で封止した。又して、不要なリードフレーム130の前止用部140部から突出している部分をプレスにて切断し、電子部133を固定するとともに電子部133の側面133Bを形成した。 (図5(f))

この時、切断されるリードフレームのラインには、切れがしやすいように、切り欠きを設けておくと良い。又に、これらの切り欠きはエッチング時に、設せて加工しておけば手間が省ける。図6に示すリードフレーム110のダムバー136、フレーム部137等が削除される。この後、リードフレームの電子部の外側の面に半導体からなる電子部133Aを作成して半導体装置を作成した。 (図5(g))

この半導体からなる電子部133Aは外部回路部と接続する間に、接続しやすいように設けてあるが内に設けなくては良い。

【0012】本発明の半導体装置に用いられるリードフレームの組立方法を以下、図にそって説明する。図8は、本実施例1の断面封止型半導体装置に用いられたリードフレームの組立方法を説明するための、インナーリード先端部を含む部品における工作部面図であり、ここで示されたリードフレームを示す半導体部である図6 (a)のD1-D2部の断面部における組立部である。図8中、810はリードフレーム804、820A、820Bはレジストバターン、830は第一の端口部、840は第二の端口部、850は第一の凹部、860は第二の凹部、870は不導体部、880はニッティング端部、131Aはインナーリード先端部、131AはD12

インナーリードの第2面を示す。たて、42ミリ。一組合計からなり、厚みが0.15mmのリードフレーム素材810の両面に、重クロム酸カリウムを塗り、所定のバターンを用いて、所定形状の第一の開口部830、第二の開口部840をもつレジストパターン820A、820Bを形成した。(図8(a))

第一の開口部830は、後のエッティング加工においてリードフレーム素材810をこの開口部からベタ状にリードフレーム素材よりも両面に露出するためのもので、レジストの第二の開口部840は、インナーリード先端部の形状を形成するためのものである。第一の開口部830は、少なくともリードフレーム810のシナーリード先端部形成領域を含むが、後工程において、テーピングの工程や、リードフレームを固定するクランプ工程で、ベタ状に露出され部分的に薄くなったり部分との形状が異ななる場合があるので、エッティングを行うエリアはインナーリード先端部の露出加工部分だけにせず大きめにとる必要がある。次いで、温度57°C、比重4.8ボーメの塩化第二鉄溶液を用いて、スプレー圧2.5レバーペン'にて、レジストパターンが形成されたリードフレーム素材810の両面をエッティングし、ベタ状(平底状)に露出された第一の開口部830の底をかがリードフレーム素材の約2/3程度に達した時点でエッティングを止めた。(図8(b))

上記第1回目のエッティングにおいては、リードフレーム素材810の両面から両面にエッティングを行ったが、必ずしも両面から両面にエッティングする必要はない。少なくとも、インナーリード先端部は形成するための、所定形状の底口部をもつレジストパターン820Bが形成された両面から両面にエッティングを行った。所定形状をもつレジストパターン820Bが形成されたインナーリード先端部形成領域において、所定形状エッティング加工し止めることが可能にない。本実験例のように、第1回目のエッティングにおいてリードフレーム素材810の両面から両面にエッティングする場合は、両面からエッティングすることにより、後述する第2回目のエッティング時間を見越すため、レジストパターン820B両面からのみの片面エッティングの場合と比べ、第1回目エッティングと第2回目エッティングのトータル時間が短縮される。次いで、第一の開口部830の底に形成された第一の開口部830にエッティング底底880としての耐エッティング性のあるポットメルト型ワックス(ズ・インクテック社製の底ワックス、28MR-W86)を、ダイコートを用いて、塗布し、ベタ状(平底状)に露出された第一の開口部830に塗り込んだ。レジストパターン820B上にしごきエッティング底底880に塗布された底底とした。(図8(c))

エッティング底底880を、レジストパターン820B上を基に塗布する必要はないが、第一の開口部830を含む一組にのみ塗布することは廻りみに、図8(c)に示す。

すように、第一の開口部830とともに、第一の底底880を30例全面にエッティング底底880を塗布した。本実験例で使用したエッティング底底880は、アルカリ耐性型のワックスであるが、基本的にエッティング底に耐性があり、エッティング時にある程度の耐性をもつるもののが、丹ましく、特に、上記ワックスに固定されず、UV硬化型のものでも良い。このようにニッティング底底880をインナーリード先端部の底底を形成するためのパターンが形成された両面の底底された第一の開口部830に塗り込むことにより、後工程でのエッティング時に第一の開口部830が露出されで大きくなないようにしていふとともに、高精度なエッティング加工に対しての適切的な被覆面積をもつて、スプレー圧を高く(2.5kg/cm²以上)とすることができる。これによりエッティングが底を両方に進行し易くなる。このは、第2回目エッティングを行い、ベタ状(平底状)に露出された第一の開口部830を形成された第一の開口部830をエッティングし、露出させ、インナーリード先端部890を形成した。(図8(d))

第1回目のエッティング加工にて作製された、リードフレーム面に平行なエッティング底底は平底であるが、この底を抜き2回はインナーリード側にへこんだ凹みである。次いで、既存、エッティング底底880の底底、レジスト底(レジストパターン820A、820B)の除去を行い、インナーリード先端部890が露出加工された図6(c)に示すリードフレームを得た。エッティング底底880とレジスト底(レジストパターン820A、820B)の除去には水溶性ナトリウム水溶液により溶解させた。

(0013) 例、上記のように、エッティングを2段階にわけて行うエッティング加工方法を、一般には2段エッティング加工方法といつており、特に、複雑加工に適切な加工方法である。本発明に用いた図6(c)、図8(d)に示す、リードフレーム130の製造においては、2段エッティング加工方法と、パターン形状を工夫することにより部分的にリードフレーム底底を高くしながら周辺加工する方法とが併用されている。上記の方法によるインナーリード先端部131Aの複雑化加工は、第二の開口部860の底底と、底底内に残られるインナーリード先端部の底底にをもつれるもので、例えば、底底130を50μmまで高くすると、図8(c)に示す、平底はW1を100μmとして、インナーリード先端部ピッチDが0.15mmまで複雑加工可能となる。底底130の底底まで高くし、平底W1を70μm程度とすると、インナーリード先端部ピッチDが0.12mm底底まで複雑加工ができるが、底底130、平底W1のとり方次第ではインナーリード先端部ピッチDは更に大きいピッチまで可能となる。

(0014) このようにエッティング加工にて、インナーリードの底底が広い場合は、周辺工程でインナーリード

である。結果（ポンディング）達には本文範例のニッティング平型面よりも、図9（二）にプレスによりインナーリード先端部を扁平化した面上にエッティング加工によりインナーリード先端部931D、931Eを加工したもの、すなはちテ（図示せず）との結果（ポンディング）を示したものであるが、この場合はプレス歪曲が面に示すように平坦になっていないため、どちらの圧を用いて結果（ポンディング）しても、図9（二）の（a）、（b）に示すように結果（ポンディング）の図10に規定されるに従く実用的にも効果となる場合が多い。
〔0016〕次に実用例1の断面寸法を規定する実用例を示す。図2（a）は実用例1の断面寸法を規定する実用例の断面図であり、図2（c）は実用例1の断面寸法を規定する外観を示すもの。図2（c）（口）は下（底）側から見た図で、図2（c）（イ）は正面図で、図2（b）は図2（a）のA1-A2に対応する位置での電子子の断面図である。実用例1の断面寸法に、実用例1の電子子とは電子子133Aが直なからので、電子子133Aは電子子133の先端部を位置140から突出したようにしておおり、且つ、先端部の断面には底133cが抜けられており、底を抜けた位置で断面には本体を形成した位置にすら。そして突出する底には、この底133c部を通り本体が行き渡るようにしている。実用例の半導体を規定100Aは、電子子133A以外は、実用例1の半導体を規定と同じである。
〔0017〕次いで、実用例2の断面寸法を規定する実用例を示す。図3（a）は実用例2の断面寸法を規定する断面図であり、図3（b）は図3（a）のA3-A4におけるインナーリード部の断面図で、図3（c）（イ）は図3（a）のB3-B4における電子子部の断面図である。図3中、200は半導体電子子、211は電極部（パッド）、220はワイヤー、230はリードフレーム、231はインナーリード、231A&Bは第1面、231A&Cは第2面、231A&Dは第3面、231A&Eは第4面、233は電子子電極、233Aは電子子、233Bは引脚、235はダイパッド、240は耐久性電極、250は絶縁層電極、250Aは底電極、260は耐久性テープである。実用例2の場合も、実用例1と同様に、本体電子子210は、半導体電子子の電極部（パッド）211側の面で電極（パッド）211がインナーリード間に位置するようにして、インナーリード231に耐久性電極250を介して固定されており、電極211は、ワイヤ220にて、インナーリード部231の先端の第2面231A&Cと電気的に接続されているが、リードフレームにダイパッド235を有するもので、電子子210の電極部211はインナーリード部231とダイパッド235間に設けられている。また、本実用例2の場合も、実用例1と同様に、半導体電子子210と耐久性電極との実用的な接続には、電子子210の電極部に設けられた半導体の接続用

うなる電子部 233A を介してプリント基板等へ伝達されることにより行われる。本実施例においては、ダイパッド 235 と半導体電子 210 を接する接点が 250A を許容値としており、是つ、ダイパッド 235 と電子部 233 とはインナーリード (ヨクリード) にて接続されていることにより、半導体電子にて発生した熱をダイパッドを介して外部回路へ放出させることができ。尚、接点が 250A を許容値の接点と必ずしもする必要はないが、ダイパッド 235 を電子部 233 を介してグランドラインに接続すると、半導体電子 210 がノイズに強くなるとともに、ノイズを受けない構造となる。

〔0018〕実施例 2 の半導体装置に使用のリードフレーム 230 は、実施例 1 にて使用のリードフレームと同様に、42%ニッケル-鉄合金を素材としたものであるが、図 7 (a)、図 7 (b) に示すように、ダイパッド 235 を有する構造をしており、電子部 233 部分より周囲に形成されたインナーリード 231 をもつ。インナーリード部 231 の厚さは 4.0 μm、電子部 233 部分では 0.15 mm である。そして、インナーリードピッチは 0.12 mm と長いピッチで、半導体装置の多様化に対応できるものとしている。インナーリード部 231 の第 2 面 231Ab は平坦状でワイヤボンディングし易い構造となっており、第 3 面 231Ac、第 4 面 231Ad はインナーリード側へ凹んだ形状をしており、第 2 ワイヤボンディング面を強くしても強度に弱いものとしている。また、実施例 2 の断面封止型半導体装置の断面は、実施例 1 の場合とほぼ同じ工法にて行う。

〔0019〕実施例 2 の断面封止型半導体装置の実施例としては、図 2 に示す実施例 1 の実施例の場合と同様に、電子部 233 の先端部に第 233C (図 3 (c) (d)) を設け、封止用樹脂 240 から、突出させて、電子部の先端部をそのまま電子部 233A にしたしが可能となる。

〔0020〕次いで、実施例 3 の断面封止型半導体装置を説明する。図 4 (a) は実施例 3 の断面封止型半導体装置の断面図であり、図 3 (b) は図 4 (a) の A5-A6 におけるインナーリード部の断面図で、図 3 (c) (イ) は図 3 (a) の B5-B6 における電子部の断面図である。図 4 中、300 は半導体装置、310 は半導体電子、311 はバンプ、330 はリードフレーム、331 はインナーリード、331Ab は第 1 面、331Ab は第 2 面、331Ac は第 3 面、331Ad は第 4 面、333 は電子部、333A は電子部、333B は鋼板、335 はダイパッド、340 は封止用樹脂、360 は両側用テープである。本実施例の半導体装置 300 の場合は、実施例 1 や実施例 2 の場合と異なり、半導体電子 310 はバンプ 311 を内つしので、バンプ 311 を通用インナーリード 330 に石を固定し、半導体電子 310 とインナーリード 330 とを実効的に接続する。10

である。また、本実施例 3 の場合、実施例 1 や実施例 2 の場合と同様に、半導体装置 300 と外部回路との電気的接続は、電子部 333 先端部に設けられた電子部の半田からなる電子部 333A を介してプリント基板等へ伝達されることにより行われる。

〔0021〕実施例 3 の半導体装置に使用のリードフレーム 330 は、実施例 1 や実施例 2 にて使用のリードフレームと同様に、42%ニッケル-鉄合金を素材としたもので、図 6 (a)、図 6 (b) に示すような形状をしており、リードフレーム表面と同じ厚さの電子部 333 の部分より周囲に形成されたインナーリード先端部 331A の厚さは 4.0 μm、インナーリード先端部 331A 以外の厚さは 0.15 mm で、強度的には工法に充分耐えうるものとなっている。そして、インナーリードピッチは 0.12 mm と長いピッチで、半導体装置の多様化に耐えてきるものとしている。インナーリード先端部 331A の第 2 面 331Ab は平坦状でワイヤボンディングし易い構造となっており、第 3 面 331Ac、第 4 面 331Ad はインナーリード側へ凹んだ形状をしており、第 2 ワイヤボンディング面を強くしても強度に弱いものとしている。また、実施例 3 の断面封止型半導体装置の断面も、実施例 1 の場合とほぼ同じ工法にて行うが、ダイパッド 335 に半導体電子を形成し固定した後に、封止用樹脂にて封止する。

〔0022〕実施例 3 の断面封止型半導体装置の実施例としては、図 2 に示す実施例 1 の実施例の場合と同様に、電子部 333 の先端部に第 333C (図 4 (c) (d)) を設け、封止用樹脂 340 から、突出させて、39 電子部の先端部をそのまま電子部 333A にしたしが可能となる。

〔0023〕

〔発明の効果〕 本発明の断面封止型半導体装置は、上記のように、リードフレームを用いた断面封止型半導体装置において、多様化に対応でき、是つ、高強度長い半導体装置の実現を可能としている。本発明の断面封止型半導体装置は、これと同様に、図 3 (b) に示すアウターリードを有しリードフレームを用いた場合のようにダムバーのカット工程や、ダムバーの曲げ工程を必要としない限り、アウターリードのスリューの問題や、平坦化 (コートラリティ) の問題を克服としている。また、QFP や BGA にはべらとパッケージ内部の配線長が大きくなるため、高強度化が小さくなり左側電極時間は短くすることを可能にしている。

〔図面の簡単な説明〕

- 〔図 1〕 実施例 1 の断面封止型半導体装置の断面図
- 〔図 2〕 実施例 1 の断面封止型半導体装置の断面内図
- 〔図 3〕 実施例 2 の断面封止型半導体装置の断面図
- 〔図 4〕 実施例 3 の断面封止型半導体装置の断面図
- 〔図 5〕 実施例 1 の断面封止型半導体装置の断面内図

(1)

西國學 9-1307

30

シナーリード先端部

1113

カナーリード

1

48-

1 1 1 5

七二六

卷之三

1131

卷之三

1110

卷之四

1140

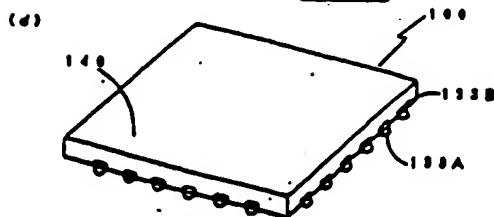
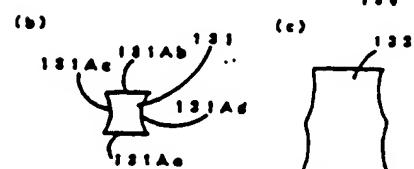
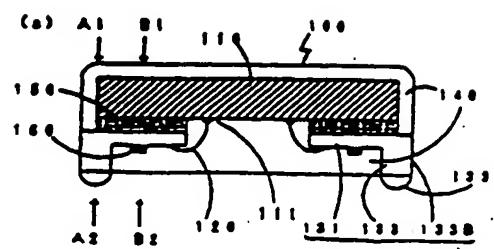
140

1

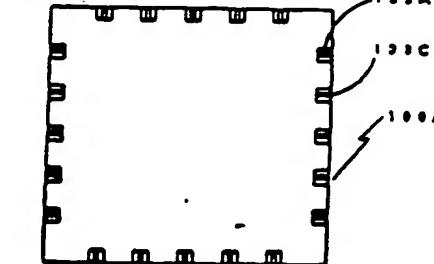
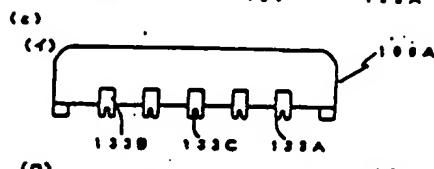
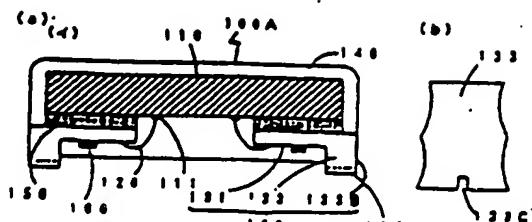
1

シナーリード先頭部	車体番号	備考
1113	7	1121
ウターリード		通常(バッド)
1111	フ	1130
ムバー		イヤ
1115	フ	1140
レーム部(ねじ)		止用取扱
1120	ス	

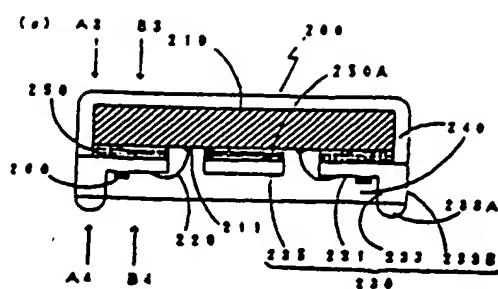
(1)



121



(四三)



{ 4 }

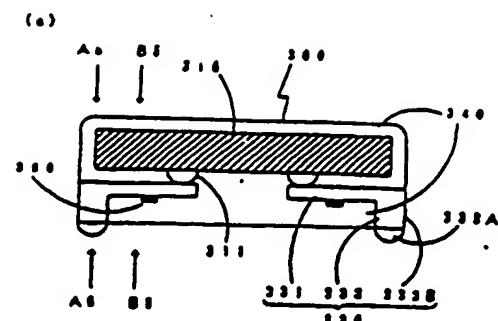


Diagram (b) shows a central node connected to four peripheral nodes labeled 231Ab, 231, 231Ac, and 231Aa.

Diagram (b) shows a central node with three connections: 331Ab, 331Ac, and 331Ad.

(c) (4)



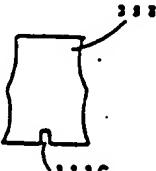
60



(c) (4)



(8)



(8) 0 1

(4) 84



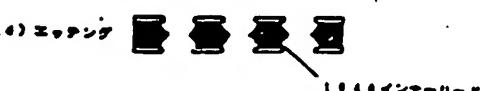
100



卷之三

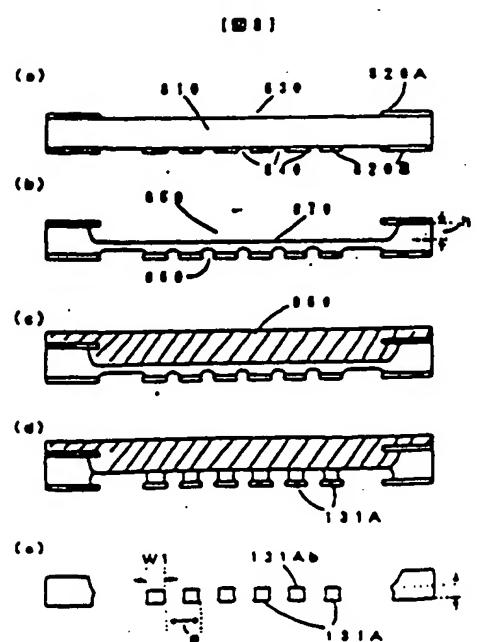
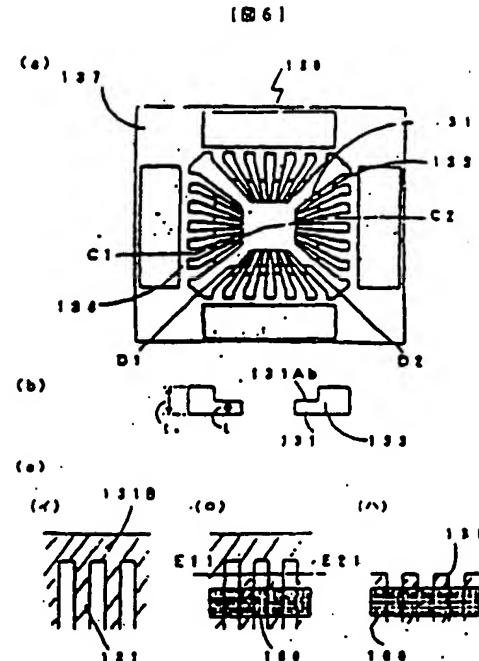
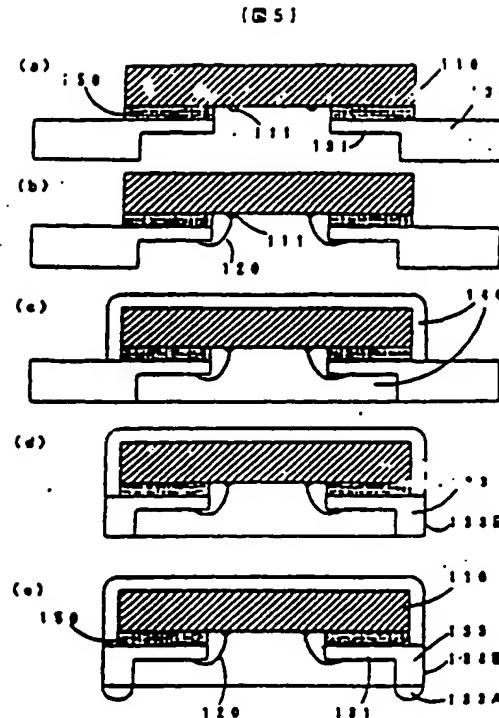


4) エーテンテ

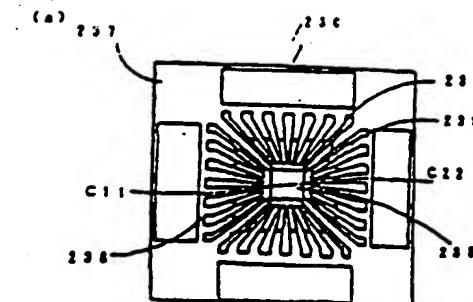


• 2 開

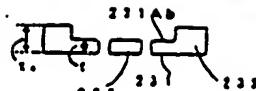




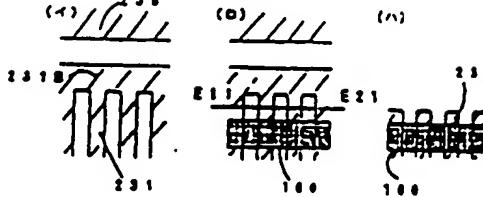
(E7)



(E8)

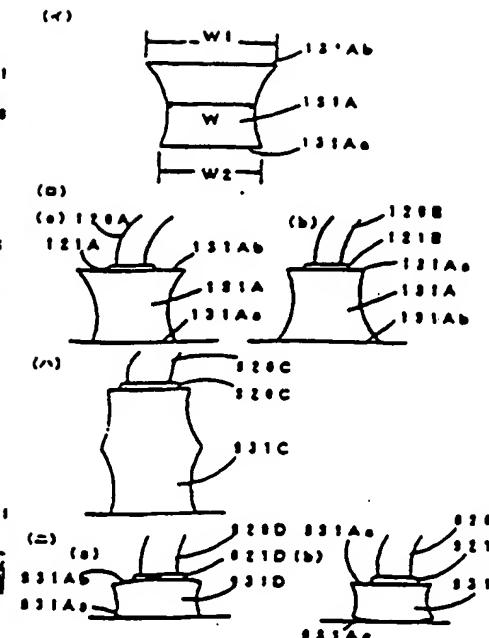


(E9)

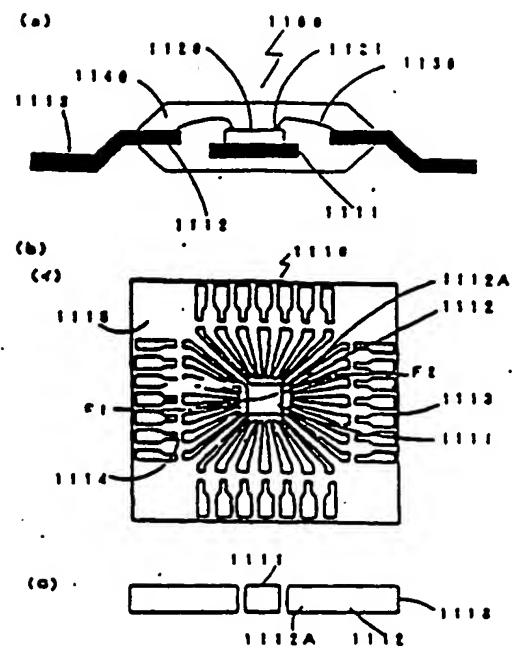


(E9)

(E9)



(图11)



Japanese Patent Laid-Open Publication No. Heisei 9-8207

[TITLE OF THE INVENTION]

RESIN-ENCAPSULATED SEMICONDUCTOR DEVICE

5

[CLAIMS]

1. A resin-encapsulated CSP type semiconductor device in which a lead frame shaped in accordance with a two-step etching process in such a manner that a thickness of inner leads is thinner than that of the lead frame and which is encapsulated with an encapsulating resin in such a manner that it is substantially the same as that of a semiconductor chip in size, the lead frame including:
 - 10 inner leads having a thickness smaller than that of a lead frame blank;
 - 15 terminal columns having the same thickness as that of the lead frame blank and being integrally connected to the inner leads and also being adapted to be electrically connected to an external circuit;
 - 20 the terminal columns being disposed outside of the inner leads in such a manner that they are coupled to the inner leads in a direction orthogonal to a thickness-wise direction thereof, the terminal columns being mounted on the surface opposite the surface of the lead frame on which
 - 25 the semiconductor chip is mounted, the terminal columns

having terminal portions arranged on their tips;

the terminal portions being made of solder, etc. and exposed externally through the encapsulating resin such that the terminal columns are exposed externally through the encapsulating resin at their outer sides; and

5 the semiconductor chip at its surface having electrode portions being mounted on the inner leads by means of an insulating adhesive, and the electrode portions being arranged between the inner leads and being electrically connected to tips of the inner leads by wires.

2. A resin-encapsulated CSP type semiconductor device in which a lead frame shaped in accordance with a two-step etching process in such a manner that a thickness 15 of inner leads is thinner than that of the lead frame and which is encapsulated with an encapsulating resin in such a manner that it is substantially the same as that of a semiconductor chip in size, the lead frame including:

20 inner leads having a thickness smaller than that of a lead frame blank;

terminal columns having the same thickness as that of the lead frame blank and being integrally connected to the inner leads and also being adapted to be electrically connected to an external circuit;

25 the terminal columns being disposed outside of the

inner leads in such a manner that they are coupled to the inner leads in a direction orthogonal to a thickness-wise direction thereof, the terminal columns being mounted on the surface opposite the lead frame surface on which the semiconductor chip is mounted, the terminal columns being exposed externally through the encapsulating resin at a portion of the tips thereof to serve as terminal portions, the terminal columns being exposed externally through the encapsulating resin at the outer sides thereof; and

10 the semiconductor chip at its surface having electrode portions being mounted on the inner leads by means of an insulating adhesive, and the electrode portions being electrically connected to tips of the inner leads by wires.

15 3. The resin-encapsulated CSP type semiconductor devices of claim 1 or 2, wherein the lead frame has a die pad, and the semiconductor chip is mounted in such a manner that electrode portions thereof are arranged between the inner leads and the die pad.

4. A resin-encapsulated CSP type semiconductor device in which a lead frame shaped in accordance with a two-step etching process in such a manner that a thickness of inner leads is thinner than that of the lead frame and which is encapsulated with an encapsulating resin in such a manner

that it is substantially the same as that of a semiconductor chip in size, the lead frame including:

inner leads having a thickness smaller than that of a lead frame blank;

5 terminal columns having the same thickness as that of the lead frame blank and being integrally connected to the inner leads and also being adapted to be electrically connected to an external circuit;

10 the terminal columns being disposed outside of the inner leads in such a manner that they are coupled to the inner leads in a direction orthogonal to a thickness-wise direction thereof, the terminal columns being mounted on the surface opposite the surface of the lead frame on which the semiconductor device is mounted, the terminal columns having terminal portions arranged on their tips;

15 the terminal portions being made of solder, etc. and exposed externally through the encapsulating resin such that the terminal columns are exposed externally through the encapsulating resin at the outer sides thereof; and

20 the semiconductor chip being mounted on the inner leads by bumps arranged on one surface of the semiconductor chip, and the semiconductor chip being electrically connected to the inner leads.

25 5. A resin-encapsulated CSP type semiconductor

device in which a lead frame shaped in accordance with a two-step etching process in such a manner that a thickness of inner leads is thinner than that of the lead frame and which is encapsulated with an encapsulating resin in such a

5 manner that it is substantially the same as that of a semiconductor chip in size, the lead frame including:

inner leads having a thickness smaller than that of a lead frame blank;

10 terminal columns having the same thickness as that of the lead frame blank and being integrally connected to the inner leads and also being adapted to be electrically connected to an external circuit;

15 the terminal columns being disposed outside of the inner leads in such a manner that they are coupled to the inner leads in a direction orthogonal to a thickness-wise direction thereof, the terminal columns being mounted on the surface opposite the surface of the lead frame on which the semiconductor device is mounted, the terminal columns being exposed externally through the encapsulating resin at 20 a portion of tips thereof to serve as terminal portions; and

25 the semiconductor chip being mounted on the inner leads by bumps arranged on one surface thereof, and the semiconductor chip being electrically connected to the inner leads.

6. The resin-encapsulated CSP type semiconductor device of any of claims 1 to 5, wherein the inner leads each have a rectangular cross-sectional shape including 5 four faces respectively provided with a first surface, a second surface, a third surface, and a fourth surface, the first surface being opposite to the second surface and flush with one surface of the remaining portion of the inner lead having the same thickness as that of the lead 10 frame blank, and the third and fourth surfaces each having a concave shape depressed toward the inside of the inner lead.

[DETAILED DESCRIPTION OF THE INVENTION]

15 [FIELD OF THE INVENTION]

The present invention relates to a resin-encapsulated semiconductor device capable of meeting the requirement for an increase in the number of terminals and having a miniaturized structure and thus an excellent mounting 20 efficiency. More particularly, the present invention relates to a resin-encapsulated semiconductor device utilizing a lead frame shaped in a manner that an inner lead portion is thinner in a thickness than a lead frame blank.

[DESCRIPTION OF THE PRIOR ART]

Fig. 11a shows the configuration of a generally known resin-encapsulated semiconductor device (a plastic lead frame package). The shown resin-encapsulated semiconductor device includes a die pad 1111 having a semiconductor chip 1120 mounted thereon, outer leads to be electrically connected to the associated circuits, inner leads 1112 formed integrally with the outer leads 1113, bonding wires 1130 for electrically connecting the tips of the inner leads 1112 to the bonding pad 1121 of the semiconductor chip 1120, and a resin encapsulating the semiconductor chip 1120 to protect the semiconductor chip 1120 from external stresses and contaminants. This resin-encapsulated semiconductor device, after mounting the semiconductor device 1120 on the bonding pad 1121, is manufactured by encapsulating the semiconductor chip 1120 with the resin. In this resin-encapsulated semiconductor device, the number of the inner leads 1112 is equal to that of the bonding pads 1121 of the semiconductor chip 1120. And, Fig. 11b shows the configuration of a monolayer lead frame used as an assembly member of the resin-encapsulated semiconductor device shown in Fig. 11a. Such a lead frame includes the bonding pad 1111 for mounting the semiconductor chip, the inner leads 1112 to be electrically connected to the semiconductor device, the outer lead 1113 which is integral

with the inner lead 1112 and is adapted to be electrically connected to the associated circuits. This also includes dam bars serving as a dam when encapsulating the semiconductor device with the resin, and a frame serving to support the entire lead frame 1110. Such a lead frame is formed from a highly conductive metal such as a cobalt, 42 alloy(a 42% Ni-Fe alloy), copper-based alloy by a pressing working process or an etching process.

Recently, there has been growing demand for the miniaturization and reduction in thickness of resin-encapsulated semiconductor device employing lead frames like the lead frame 1110(plastic lead frame package) and the increase of the number of terminals of resin-encapsulated semiconductor package as electronic apparatuses are miniaturized progressively and the degree of the integration of semiconductor device increase progressively. Thus, recent resin-encapsulated semiconductor package, particularly quad. plate package(QFPs) and thin quad flat packages (TQFPs) have each a greatly increased number of pins.

Lead frames having inner leads arranged at small pitches among lead frames for semiconductor packages are fabricated by a photolithographic etching process, while lead frames having inner leads arranged at comparatively large pitches among lead frames for semiconductor packages

are fabricated by press working. However, lead frames having a large number of fine inner leads to be used for forming semiconductor packages having a large number of pins are fabricated by subjecting a blank of a thickness on the order of 0.25 mm to an etching process, not a press working.

The etching process for forming a lead frame having fine inner leads will be described hereinafter with reference to Fig. 10. First a copper alloy or 42 alloy thin sheet 1010 of a thickness on the order of 0.25 mm (blank for a lead frame) is cleaned perfectly (Fig. 10a). Then, a photoresist, such as a water-soluble casein photoresist containing potassium dichromate as a sensitive agent, is spread in photoresist films 1020 over the major surfaces of the thin film as shown in Fig. 10b. Then, the photoresist films are exposed, through a mask of a predetermined pattern, to light emitted by a high-pressure mercury lamp, and the thin sheet is immersed in a developer for development to form a patterned photoresist film 1030 as shown in Fig. 10c. Then, the thin sheet is subjected, when need be, to a hardening process, a washing process and such, and then an etchant containing ferric chloride as a principal component is sprayed against the thin sheet 1010 to etch through portions of the thin sheet 1010 not coated with the patterned photoresist films 1020 so that inner

leads of predetermined sizes and shapes are formed as shown in Fig. 10d.

Then, the patterned resist films are removed, the patterned thin sheet 1010 is washed to complete a lead frame having the inner leads of desired shapes as shown in Fig. 13e. Predetermined areas of the lead frame thus formed by the etching process are silver-plated. After being washed and dried, an adhesive polyimide tape is stuck to the inner leads for fixation, predetermined tab bars are bent, when need be, and the die pad depressed. In the etching process, the etchant etches the thin sheet in both the direction of the thickness and directions perpendicular to the thickness, which limits the miniaturization of inner lead pitches of lead frames. Since the thin sheet is etched from both the major surfaces as shown in Fig. 10 during the etching process, it is said, when the lead frame has a line-and-space shape, that the smallest possible intervals between the lines are in the range of 50 to 100% of the thickness of the thin sheet. From the viewpoint of forming the outer lead having a sufficient strength, generally, the thickness of the thin sheet must be about 0.125 mm or above. Furthermore, the width of the inner leads must be in the range of 70 to 80 μ m for successful wire bonding. When the etching process as illustrated in Fig. 10 is employed in fabricating a lead frame, a thin sheet of a small

thickness in the range of 0.125 to 0.15 mm is used and inner leads are formed by etching so that the fine tips thereof are arranged at a pitch of about 0.165 mm.

However, recent miniature resin-encapsulated 5 semiconductor package requires inner leads arranged at pitches in the range of 0.013 to 0.15 mm, far smaller than 0.165 mm. When a lead frame is fabricated by processing a thin sheet of a reduced thickness, the strength of the outer leads of such a lead frame is not large enough to 10 withstand external forces that may be applied thereto in the subsequent processes including an assembling process and a chip mounting process. Accordingly, there is a limit 15 to the reduction of the thickness of the thin sheet to enable the fabrication of a minute lead frame having fine leads arranged at very small pitches by etching.

An etching method previously proposed to overcome such difficulties subjects a thin sheet to an etching process to form a lead frame after reducing the thickness of portions of the thin sheet corresponding to the inner leads of the 20 lead frame by half etching or pressing to form the fine inner leads by etching without reducing the strength of the outer leads. However, problems arise in accuracy in the subsequent processes when the lead frame is formed by etching after reducing the thickness of the portions 25 corresponding to the inner leads by pressing; for example,

the smoothness of the surface of the plated areas is unsatisfactory, the inner leads cannot be formed in a flatness and a dimensional accuracy required to clamp the lead frame accurately for bonding and molding, and a platemaking process must be repeated twice making the lead fabricating process intricate. It is also necessary to repeat a platemaking process twice when the thickness of the portions of the thin sheet corresponding to the inner leads is reduced by half etching before subjecting the thin sheet to an etching process for forming the lead frame, which also makes the lead frame fabricating process intricate. Thus, this previously proposed etching method has not yet been applied to practical lead frame fabricating processes.

15

(SUBJECT MATTERS TO BE SOLVED BY THE INVENTION)

Meanwhile, there has been growing demand for the miniaturization and increase in the mounting efficiency of the semiconductor package as electronic apparatuses are miniaturized progressively. Thus, a package, so called "CSP" (Chip Size Package) is proposed which is encapsulated with a resin in such a manner that its size is substantially equal to that of the semiconductor chip. The CSP has the following advantages.

25

1: First, where the number of pins of the CSP is equal

to that of QFP (Quad Flat Package) or BGA (Ball Grid Package), the CSP enables a remarkable reduction in the mounting area as compared to the QFP or BGA.

2) Second, if the CSP is equal to the QFP or BGA in size, the CSP is increased in the pin number over the QFP or BGA. In the case of the QFP, a practical use dimension is 40 mm or less when considering the length of the package or substrate, and the pin number is 304 or less if the outer leads are arranged at a pitch of 0.5 mm. The outer leads need to be arranged at a pitch of 0.4mm or 0.3 mm to increase the pin number, but this causes a user difficulty in mounting the semiconductor package at a high productivity. Generally, in fabricating the QFP in which the outer leads are arranged at a pitch of 0.3 mm or less, the mass production of the QFP necessarily involves an increase in costs, otherwise the mass production is difficult. The BGA was proposed to overcome such a difficulty of the QFP. In the BGA, external terminals are formed in the shape of two-dimensional array, and arranged at a wider pitch, thereby reducing a difficulty in mounting it. Moreover, although the BGA permits the conventional overall reflow soldering even at the pin number in excess of 300 pins, solder bumps are incorporated with clacks depending on the temperature cycle if the dimension of the SGA reaches 30 to 40 mm, such that an upper limitation of

the pin number of the BGA is 600 to 700 pins, or at most 1000 pins. In the case of the CSP in which external terminals are mounted in the shape of two-dimensional array on the back surface of the CSP, pitches of the external terminals can be increased in accordance with the concepts of the BGA. Moreover, in the CSP, the overall reflow soldering can be permitted, as in the BGA.

3) Third, as compared to the QFP or BGA, the CSP is short in an interconnection length, and thus less in the parasitic capacitance, and thereby short in the transfer delay time. Where the clock rate is in excess of 100 MHZ, the QFP is problematic in transfer into the package. The CSP having a shortened interconnection length is advantageous. Accordingly, the CSP is advantageous in view of the mounting efficiency, but it needs to be narrower in the terminal pitch when considering a demand for an increase in the number of terminals.

Thus, the present invention is aimed to provide a resin-encapsulated semiconductor device employing a lead frame, which is capable of meeting a demand for the miniaturization and increased terminal number.

(MEANS FOR SOLVING THE SUBJECT MATTERS)

A resin-encapsulated semiconductor device in accordance with the present invention is a resin-

encapsulated CSP type semiconductor device in which a lead frame shaped in accordance with a two-step etching process in a manner that a thickness of inner leads is thinner than that of the lead frame and which is encapsulated with an 5 encapsulating resin in such a manner that it is substantially the same as that of a semiconductor chip in size, the lead frame including: inner leads having a thickness smaller than that of a lead frame blank; and terminal columns having the same thickness as that of the 10 lead frame blank and being integrally connected to the inner leads and also being adapted to be electrically connected to an external circuit; the terminal columns being disposed outside of the inner leads in such a manner that they are coupled to the inner leads in a direction 15 orthogonal to thickness-wise direction thereof, the terminal columns being mounted on the surface opposite the surface on which the semiconductor chip is mounted, the terminal columns having terminal portions arranged on their tips; the terminal portions being made of solder, etc. and exposed externally through the encapsulating resin such 20 that the terminal columns are exposed externally through the encapsulating resin at their outer sides; the semiconductor chip at its surface having electrode portions (pads) being mounted on the inner leads by means of an 25 insulating adhesive, and the electrode portions being

electrically connected to tips of the inner leads by wires.

Moreover, a resin-encapsulated semiconductor device in accordance with the present invention is a resin-encapsulated CSP type semiconductor device in which a lead frame shaped in accordance with a two-step etching process in a manner that a thickness of inner leads is thinner than that of the lead frame and which is encapsulated with an encapsulating resin in such a manner that it is substantially the same as that of a semiconductor chip in size, the lead frame including: inner leads having a thickness smaller than that of a lead frame blank; and terminal columns having the same thickness as that of the lead frame blank and being integrally connected to the inner leads and also being adapted to be electrically connected to an external circuit; the terminal columns being disposed outside of the inner leads in such a manner that they are coupled to the inner leads in a direction orthogonal to thickness-wise direction thereof, the terminal columns being mounted on the surface opposite the lead frame surface on which the semiconductor chip is mounted, the terminal columns being exposed externally through the encapsulating resin at their outer sides; the semiconductor chip at its surface having electrode portions (pads) being mounted on the inner leads by means of an insulating adhesive, and the electrode portions being

arranged between the inner leads and electrically connected to tips of the inner leads by wires.

5 In the resin-encapsulated CSP type semiconductor devices as described above, the lead frame has a die pad, and the semiconductor chip is mounted in such a manner that their electrode portions is arranged between the inner leads and the die pad.

10 Furthermore, a resin-encapsulated semiconductor device in accordance with the present invention is a resin-encapsulated CSP type semiconductor device in which a lead frame shaped in accordance with a two-step etching process in a manner that a thickness of inner leads is thinner than that of the lead frame and which is encapsulated with an encapsulating resin in such a manner that it is substantially the same as that of a semiconductor chip in size, the lead frame including: inner leads having a thickness smaller than that of a lead frame blank; and terminal columns having the same thickness as that of the lead frame blank and being integrally connected to the inner leads and also being adapted to be electrically connected to an external circuit; the terminal columns being disposed outside of the inner leads in such a manner that they are coupled to the inner leads in a direction orthogonal to thickness-wise direction thereof, the terminal columns being mounted on the surface opposite the

15

20

25

surface of the lead frame on which the semiconductor device is mounted, the terminal columns having terminal portions arranged on their tips; the terminal portions being made of solder, etc. and exposed externally through the encapsulating resin such that the terminal columns are exposed externally through the encapsulating resin at their outer sides; the semiconductor chip being mounted on the inner leads by bumps arranged on one surface of the semiconductor chip, and the semiconductor chip being electrically connected to the inner leads.

Also, a resin-encapsulated semiconductor device in accordance with the present invention is a resin-encapsulated CSP type semiconductor device in which a lead frame shaped in accordance with a two-step etching process in a manner that a thickness of inner leads is thinner than that of the lead frame and which is encapsulated with an encapsulating resin in such a manner that it is substantially the same as that of a semiconductor chip in size, the lead frame including: inner leads having a thickness smaller than that of a lead frame blank; and terminal columns having the same thickness as that of the lead frame blank and being integrally connected to the inner leads and also being adapted to be electrically connected to an external circuit; the terminal columns being disposed outside of the inner leads in such a manner

that they are coupled to the inner leads in a direction orthogonal to thickness-wise direction thereof, the terminal columns being mounted on the surface opposite the surface of the lead frame on which the semiconductor device is mounted, the terminal columns having terminal portions arranged on their tips; the terminal portions being exposed externally through the encapsulating resin at a portion of tips thereof; the semiconductor chip being mounted on the inner leads by bumps arranged on one surface thereof, and the semiconductor chip being electrically connected to the inner leads.

In the resin-encapsulated CSP type package, the inner leads each have a rectangular cross-sectional shape including four faces respectively provided with a first surface, a second surface, a third surface, and a fourth surface, the first surface being opposite to the second surface and flush with one surface of the remaining portion of the inner lead having the same thickness as that of the lead frame blank, and the third and fourth surfaces each having a concave shape depressed toward the inside of the inner lead.

Meanwhile, the CSP type semiconductor devices as used herein generally means resin-encapsulated semiconductor devices encapsulated with an encapsulating resin in a manner that each of the resulting structures is

lead, the inner leads are stable and wider in their width.

Furthermore, in the resin-encapsulated semiconductor device in accordance with the present invention, a semiconductor chip is mounted on the inner leads by bumps arranged on one surface of the semiconductor chip, and the semiconductor chip and the inner leads are electrically connected to each other. Thus, wire bondings are not required, and also bondings can be carried out in a lump.

10 [EMBODIMENTS]

Embodiments of the resin-encapsulated semiconductor device in accordance with the present invention will now be described with reference to Figures. 1. First, a first embodiment is shown in Fig. 1. Fig 1a is a cross-sectional view of the resin-encapsulated semiconductor device according to the first embodiment of the present invention. Fig. 1b is a cross-sectional view of each of the inner leads taken along the line A1-A2 of Fig. 1a, and Fig 1c is a cross-sectional of each of terminal columns view taken along the line B1-B2 of Fig. 1a. In Fig. 1, a reference numeral 100 depicts a resin-encapsulated semiconductor device, 110 a semiconductor chip, 111 electrode portions (pads), 120 wires, 130 a lead frame, 131 inner leads, 131Aa a first surface, 131Ab a second surface, 131Ac a third surface, 131Ad a fourth surface, 133 terminal columns, 133A

terminal portions, 133B sides, 140 an encapsulating resin, 150 an insulating adhesive, and 160 a reinforcing tape.

In the resin-encapsulated semiconductor device according to the first embodiment, a semiconductor device 110 is mounted in a manner that the electrode portions 131 of the semiconductor chip 110 are arranged between the inner leads. The semiconductor chip 110 is electrically connected to the second surface 131 Ab of the tip of each inner lead 131. The electrical connection of the resin-encapsulated semiconductor device 100 to an external circuit is achieved by mounting the resin-encapsulated semiconductor device 100 at terminal portions made of semi-spherical solder on a printed circuit substrate. The lead frame 130 used in the semiconductor device 100 according to the first embodiment is made of a 42% nickel-iron alloy. This lead frame 130 has a shape as shown in Fig. 6a. As shown in Fig. 6a, the lead frame 130 has inner leads 131 shaped to have a thickness smaller than that of the terminal column 133. Dam bars 136 serve as a dam when encapsulating with a resin. Moreover, although the lead frame processed by etching to have a shape as shown in Fig. 6a is used in this embodiment, the lead frame is not limited to such a shape as portions other than the inner leads and the terminal columns 133 are not required to be used. The inner leads 131 have a thickness of 40 μ m whereas

the portions of the lead frame other than the inner leads 131 have a thickness of 0.15 mm corresponding to the thickness of the lead frame blank. The tips of the inner leads have a fine pitch of 0.12 mm so as to achieve an increase in the number of terminals for semiconductor devices. The second face denoted by the reference numeral 131Ab is a surface etched, but having a substantially flat profile, so as to allow an easy wire bonding thereon. The third and fourth faces 131Ac and 131Ad have a concave shape depressed toward the inside of the associated inner lead, respectively. This structure exhibits a high strength even though the second face (wire bonding surface) is narrow. Also, Fig. 6b is a cross-sectional view taken with the line C1-C2 of Fig. 6a. The reinforcing tape 160 is attached fixedly so as not to cause twisting in the inner leads. Also, if the inner leads are short in their length, a lead frame fabricated by etching to have a shape shown in Fig. 6a is mounted with the semiconductor chip in accordance with a method as described below. However, where the inner leads are long in their length and have a tendency for the generation of twisting therein, it is impossible to fabricate directly the lead frame by etching to have a shape as shown in Fig. 6a. Therefore, after etching the lead frame in a state where the tips of the inner leads are fixed to the connecting portion 131B as shown in Fig.

6c(i), the inner leads 131 are fixed with the reinforcing tape 160 as shown in Fig. 6c(ii). Then, the connecting portion 131B unnecessary for the fabrication of the resin-encapsulated semiconductor device are removed by means of a press as shown in Fig. 6c (iii), and a semiconductor chip is then mounted on the lead frame. In Fig. 6c(ii), the line E1-E2 shows the line to be cut by a press.

5 A method for the fabrication of the resin-encapsulated semiconductor device will now be described in brief. First, 10 as shown in Fig. 5a, a lead frame, which is fabricated by an etching and from which the unnecessary portions are moved by a cutting process, is arranged in a manner that thin tips of the inner leads are directed upwardly. Moreover, if the inner leads are long in their length, the 15 tips of the inner leads are fixed by a polyimide tape, as required. Then, the surface of the semiconductor device 110 having electrode portions 111 formed thereon is directed downwardly, and located on the inner leads in a manner that the electrode portions are arranged between the 20 inner leads 131. Then, the semiconductor device 110 is mounted fixedly on the inner leads by means of an insulating adhesive 150.

25 Then, as shown in Fig. 5b, the electrode portions are electrically connected to the tips of the inner leads 131 by wires 120. Subsequently, encapsulation is carried out

with the conventional encapsulating resin 140, as shown in Fig. 5c. Such an encapsulation with the resin is carried out using a desired mold in a manner that the outer surface of the terminal columns is somewhat protruded externally from the encapsulating resin. Then, unnecessary portions of the lead frame 130 protruded from the encapsulating resin 140 are cut off by a press to form terminal columns 130 while forming sides 133B of the terminal columns 130, as shown in Fig. 5d. In this case, it is preferable to form previously the cutting line in the lead frame for easy cutting. Particularly, the forming of the cutting line during etching of the lead frame results in the saving of time. The dam bars 136, frame portions 137, etc. of the lead frame 110 as shown in Fig. 6 are removed. Next, terminal portion 133A made of solder is arranged on the outer surface of each terminal column to fabricate a resin-encapsulated semiconductor device. The terminal portion 133A serves to facilitate connection of the resin-encapsulated semiconductor device to an external circuit, but does not necessarily need to be arranged.

A method for etching the lead frame of the first embodiment will now be described in conjunction with Figs. 8a to 8e. Figs. 8a to 8e are cross-sectional views respectively illustrating sequential steps of the etching process for the lead frame of the first embodiment shown in

Fig. 1. In particular, the cross-sectional views of Figs. 8a to 8e correspond to a cross section taken along the line D1 - D2 of Fig. 6a, respectively. In Figs. 8a to 8e, the reference numeral 810 denotes a lead frame blank, 820A and 820B resist patterns, 830 first opening, 840 second openings, 850 first concave portion, 860 second concave portions, 870 flat surface, 880 an etch-resistant layer, 131A tips of inner leads, and 131Ab second faces of inner leads, respectively. First, a water-soluble casein resist using potassium dichromate as a sensitive agent is coated over both surfaces of a lead frame blank 810 made of a 42% nickel-iron alloy and having a thickness of about 0.15 mm. Using desired pattern plates, the resist films are patterned to form resist patterns 820A and 820B having first opening 830 and second openings 840, respectively (Fig. 8a).

The first opening 830 is adapted to etch the lead frame blank 810 to have an etched flat bottom surface of a thickness smaller than that of the lead frame blank 810 in a subsequent process. The second openings 840 are adapted to form desired shapes of tips of inner leads. Although the first opening 830 includes at least an area forming the tips of the inner leads 810, a topology generated by a partially thinned portion by etching in a subsequent process can cause hindrance in a taping process or a

clamping process for fixing the lead frame. Thus, an area to be etched needs to be sufficiently large without being limited to an area for forming the fine portions of the tips of the inner leads. Thereafter, both surfaces of the lead frame blank 810 formed with the resist patterns are etched using a 48 Be' ferric chloride solution of a temperature of 57 °C at a spray pressure of 2.5 kg/cm². The etching process is terminated at the point of time when first recess 850 etched to have a flat etched bottom surface has a depth h corresponding to 2/3 of the thickness of the lead frame blank (Fig. 8b).

Although both surfaces of the lead frame blank 810 are simultaneously etched in the primary etching process, it is unnecessary to simultaneously etch both surfaces of the lead frame blank 810. For instance, an etching process may be conducted at the surface of the lead frame blank formed with the resist pattern 820B having openings of a desired shape to form at least a desired shape of the inner leads using an etchant solution. In this case, the etching process is terminated after obtaining a desired etching depth at the etched inner lead forming regions. The reason why both surfaces of the lead frame blank 810 are simultaneously etched, as in this embodiment, is to reduce the etching time taken in a secondary etching process as described hereinafter. The total time taken for the

primary and secondary etching processes is less than that taken in the case of etching only one surface of the lead frame blank on which the resist pattern 820B is formed. Subsequently, the surface provided with the first recess 850 etched at the first opening 830 is entirely coated with an etch-resistant hot-melt wax (acidic wax type MR-WB6, The Inctec Inc.) by a die coater to form an etch-resistant layer 880 so as to fill up the first recess 850 and to cover the resist pattern 820A (Fig. 8c).

10 It is unnecessary to coat the etch-resistant layer 880 over the entire portion of the surface provided with the resist pattern 820A. However, it is preferred that the etch-resistant layer 880 be coated over the entire portion of the surface formed with the first recess 850 and first opening 830, as shown in Fig. 8c, because it is difficult to coat the etch-resistant layer 880 only on the surface portion including the first recess 850. Although the etch-resistant layer 880 wax employed in this embodiment is an alkali-soluble wax, any suitable wax resistant to the etching action of the etchant solution and remaining somewhat soft during etching may be used. A wax for forming the etch-resistant layer 880 is not limited to the above-mentioned wax, but may be a wax of a UV-setting type. Since the first recess 850 etched by the primary etching process at the surface formed with the pattern adapted to

form a desired shape of the inner lead tip is filled up with the etch-resistant layer 880, it is not further etched in the following secondary etching process. The etch-resistant layer 880 also enhances the mechanical strength of the lead frame blank for the second etching process, thereby enabling the second etching process to be conducted while keeping a high accuracy. It is also possible to enable a second etchant solution to be sprayed at an increased spraying pressure, for example, 2.5 kg/cm² or above, in the secondary etching process. The increased spraying pressure promotes the progress of etching in the direction of the thickness of the lead frame blank in the secondary etching process. Then, the lead frame blank is subjected to a secondary etching process. In this secondary etching process, the lead frame blank 810 is etched at its surface formed with the first recess 850 having a flat etched bottom surface, to completely perforate the lead frame blank 810, thereby forming the tips 890 of the inner leads (Fig. 8d).

The bottom surface 870 of each recess formed by the primary etching process and parallel to the surface of the lead frame is flat. However, both side surfaces of each recess positioned at opposite sides of the bottom surface 870 have a concave shape depressed toward the inside of the inner lead. Then, the lead frame blank is cleaned. After

completion of the cleaning process, the etch-resistant layer 880, and resist films (resist patterns 820A and 820B) are sequentially removed. Thus, a lead frame having a structure of Fig. 6a is obtained in which tips 690 of inner leads are arranged at a fine pitch. The removal of the etch-resistant layer 880 and resist films (resist patterns 820A and 820B) is achieved using a sodium hydroxide solution serving to dissolve them.

The etching method in which the etching process is conducted at two separate steps, respectively, as described above, is generally called a "two-step etching method". This etching method is advantageous in that a desired fineness can be obtained. The etching method used to fabricate the lead frame 130 used in the present invention and shown in Figs. 6a and 6b involves the two-step etching method and the method for forming a desired shape of each lead frame portion while reducing the thickness of each pattern formed. In accordance with the above method, the fineness of the tip 131A of each inner lead formed by this method is dependent on a shape of the second recesses 860 and the thickness of the inner lead tip. For example, where the blank has a thickness t reduced to 50 μ m, the inner leads can have a fineness corresponding to a lead width W_1 of 100 μ m and a tip pitch p of 0.15 mm, as shown in Fig. 6e. In the case of using a small blank thickness t

of about 30 mm and a lead width W_1 of 70 mm, it is possible to form inner leads having a fineness corresponding to an inner lead pitch p of 0.12 mm. Of course, it may be possible to form inner leads having a further reduced tip pitch by adjusting the blank thickness t and the lead width W_1 .

5 In the case where twisting of the inner leads does not occur in the fabricating process, as in the case where the inner leads are short in their length, a lead frame illustrated in Fig. 6a can be directly obtained. However, 10 where the inner leads are long in length as compared to those of the first embodiment, the inner leads have a tendency for the generation of twisting. Thus, in this case, the lead frame is obtained by etching in a state 15 where the tips of the inner leads are bound to each other by a connecting member 131B as shown in Fig. 6c(I). Then, the connecting member 131B, unnecessary for the fabrication of a semiconductor package, is cut off by means of a press to obtain a lead frame shaped as shown in Fig. 6a.

20 In the case of fabricating a lead frame 230 having a die pad 235 as shown in Figs. 7a and 7b, the lead frame may be shaped by etching in a state where a connecting member 231B is arranged on the tips of the inner leads to bind the tips directly to the die pad, as shown in Fig. 7c(I). Then, 25 unnecessary portions in the shaped lead frame may be cut

off. Moreover, Fig. 7b is a cross-sectional view taken along the line C11-C22, and the line E11-E21 in Fig. 7c(ii) shows a cutting line. After the inner leads are plated in accordance with a jig plating process, unnecessary portions are cut off to obtain a lead frame having a good quality with no plating failure. Moreover, as described above, where unnecessary portions in the structure shown in Fig. 6c are cut off to obtain the lead frame having a shape shown in Fig. 6a, a reinforcing tape 160 (a polyimide tape) is generally used, as shown in Fig. 6c(iii). Similarly, the reinforcing tape is also used in the case of cutting off unnecessary portions in a structure shown in Fig. 7c. While the connecting member 131B is cut off by means of a press to obtain a shape shown in Fig. 6c(iii), a semiconductor chip is mounted on the lead frame still having the reinforcing tape attached thereon. Also, the mounted semiconductor chip is encapsulated with a resin in a condition where the lead frame still has the tape.

The tip 131A of each inner lead of the lead frame used in the semiconductor device of this first embodiment has a cross-sectional shape as shown in Fig. 9(I). The tip 131A has an etched flat surface (second surface) 131Ab which has a width W_1 slightly more than the width W_2 of an opposite surface. The widths W_1 and W_2 (about 100 μm) are more than the width W at the central portion of the tips when viewed

in the direction of the inner lead thickness. Thus, the tip of the inner lead has a cross-sectional shape having opposite wide surfaces. To this end, although either of the opposite surfaces of the tip 131A can be easily electrically connected to a semiconductor chip (not shown) by a wire 120A or 120B, this embodiment illustrates the use of the etched flat surface for wire-bonding as shown in Fig. 9(ii)a. In Fig. 9, a reference numeral 131Ab depicts an etched flat surface, 131Aa a surface of a lead frame blank, and 121A and 121B, respectively, a plated portion. In the case of Fig. 9(ii)a, there is a particularly excellent wire-bonding property, as the etched flat surface does not have roughness. Fig. 9(iii) shows that the tip 931C of the inner lead of the lead frame fabricated according to the process illustrated in Fig. 10 is wire-bonded to a semiconductor chip. In this case, however, both opposite surfaces of the tip 931C of the inner lead are flat, but have a width smaller than that in a direction of the inner lead thickness. In addition to this, as both the opposite surfaces of the tip 931C are formed of surfaces of the lead frame blank, these surfaces have an inferior wire-bonding property as compared to that of the etched flat surface of the first embodiment. Fig. 9(iv) shows that the inner lead tip 931D or 931E, obtained by thinning in its thickness by a means of a press and then by etching, is wire-bonded to a

5 semiconductor chip (not shown). In this case, however, a pressed surface of the inner lead tip is not flat as shown Fig. 9(iv). Thus, the wire-bonding on either of the opposite surfaces as shown in Fig. 9(iv)a or Fig. 9(iv)b often results in an insufficient wire-bonding stability and a problematic quality.

10 A modification to the resin-encapsulated semiconductor device of the first embodiment will now be described. Fig. 2a is a cross-sectional view illustrating a modification to the resin-encapsulated semiconductor device of the first embodiment, and Fig. 2c shows an appearance of the semiconductor device in accordance with the modification. Fig. 2c(ii) is a view when viewed from the bottom of the semiconductor device, Fig. 2c(I) is a front view of the semiconductor device, and Fig. 2b is a cross-sectional view of a terminal column taken at a position corresponding to the line A1-A2 of Fig. 1a. The semiconductor device according to the modification is different with that of the first embodiment in terminal portion 133A. The terminal portions at their tips are protruded externally from a resin 140. The surface of the tip of each terminal portion is plated with solder. Thus, when mounting the resin-encapsulated semiconductor device, the solder is uniformly distributed through an opening 133c. The semiconductor device 100A of this modification is identical to that of

the first embodiment except for the terminal portions 133A.

A resin-encapsulated semiconductor device in accordance with a second embodiment will now be described.

5 Fig. 3a is a cross-sectional view of a resin-encapsulated semiconductor device according to the second embodiment,

Fig. 3b is a cross-sectional view of an inner lead taken along the line A3-A4 of the Fig. 3a, and Fig. 3c(I) is a cross-sectional view of a terminal column taken along the line A3-A4 of Fig. 3a. In Fig. 3, a reference numeral 200

10 depicts a resin-encapsulated semiconductor device, 210 a semiconductor chip, 230 a lead frame, 231 inner leads, 231Aa a first surface, 231Ab a second surface, 231Ac a third surface, 231Ad a fourth surface, 233 terminal columns, 233A terminal portions, 233B sides, 235 a die pad,

15 240 an encapsulating resin, 250 an insulating adhesive, 250A an adhesive, and 260 a reinforcing tape. In the case of the second embodiment similarly to the case of the first embodiment, the semiconductor chip 210 is mounted in such a

20 manner that the surface, on which electrode portions (pads) 211 are formed, is mounted fixedly on the inner leads 231 by means of the insulating adhesive, while the electrode portions 211 are arranged between the inner leads 231. The electrode portions are electrically connected to the second

25 surfaces 231Ab of the tips of the inner leads 231. The lead frame has the die pad 235 at its inside. The electrode

portions 211 are arranged between the inner leads 231 and the die pad 235. Moreover, in the second embodiment similarly to the case of the first embodiment, electrical connection of the semiconductor device 200 to an external circuit is achieved by mounting the semiconductor device 200 on a printed substrate by terminal portions made of a semi-spherical solder and arranged on the tips of the terminal columns 233. In this embodiment, a conductive adhesive is used to adhere the semiconductor chip 210 to the die pad 235, and the die pad 235 and the terminal columns 233 are connected by the inner leads to each other, thereby dissipating heat generated in the semiconductor chip through the die pad. Also, the adhesive 250A necessarily needs to be conductive. However, where the die pad and the semiconductor chip are connected together by means of the conductive adhesive and the die pad is connected to a ground line, it is possible to not only obtain a heat dissipation effect, but also to solve a problem associated with noise.

Similarly to the lead frame used in the first embodiment, the lead frame 230 used in the second embodiment is made of 42% nickel-iron alloy. However, as shown in Figs. 7a and 7b, the lead frame 230 is shaped to have the die pad 235 and the inner leads 233 having a thickness thinner than that of the terminal columns. The

terminal columns each have a thickness of 0.15 mm. The inner leads are arranged at a pitch of 0.12 mm, thereby meeting a demand for the increased terminal number of the semiconductor device. The second surface 231Ab of each 5 inner lead is flat, such that is easy to wire-bond. The third and fourth surfaces 231Ac and 231Ad also have a concave shape depressed toward the inside of the inner lead. This structure exhibits a high strength even though the second face (wire bonding surface) is narrow. Moreover, 10 the fabrication of the resin-encapsulated semiconductor device of the second embodiment is carried out in accordance with substantially the same process as that of the first embodiment.

For example, in a modification to the resin- 15 encapsulated semiconductor device of the second embodiment, an opening 233C is formed on the tip of each terminal column 233 as in the modification to the first-embodiment. The opening is protruded externally from the encapsulating resin 240 such that the tip having the opening serves as 20 the terminal 233A.

A resin-encapsulated semiconductor device in accordance with a third embodiment will now be described. Fig. 4a is a cross-sectional view of a resin-encapsulated semiconductor device in accordance with a third embodiment, 25 and Fig. 4b is a cross-sectional view of an inner lead

5 taken along the line A5-A6 of Fig. 4a. Also, Fig. 4c(I) is a cross-sectional view of a terminal column taken along the line B5-B6 of Fig. 4a. In Fig. 4, a reference numeral 300 depicts a resin-encapsulated semiconductor device, 310 a semiconductor device, 311 pads, 330 a lead frame, 331 inner leads, 331Aa a first surface, 331Ab a second surface, 331Ac a third surface, 331Ad a fourth surface, 333 terminal columns, 333A terminal portions, 333B sides, 335 a die pad, 340 a encapsulating resin, and 360 a reinforcing resin.

10 Unlike the first or second embodiment above, the semiconductor device 300 in accordance with this third embodiment includes bumps 311. The bumps 311 are mounted fixedly on the inner leads 330 and electrically connect the semiconductor chip 310 and the inner leads 331 together.

15 Similarly to the first or second embodiment, electrical connection of the semiconductor device to an external circuit is achieved by mounting the semiconductor device on a printed substrate by terminal portions 333A made of a semi-spherical solder and arranged on the tips of the terminal columns.

20

Similarly to the lead frame used in the first or second embodiment, the lead frame 330 used in the second embodiment is made of 42% nickel-iron alloy. However, the lead frame 330 is shaped to have the tips 331A of the inner leads having a thickness thinner than that of the terminal

columns, as shown in Figs. 6a and 6b. The terminal columns 333 are equal to the lead frame blank in thickness. The tips 331A of the inner leads are 0.01 mm thick, and the remaining portions other than the tips 331A of the inner leads are 0.15 mm thick, such that the lead frame has a strength sufficient to withstand the subsequent processes. The inner leads are arranged at a pitch of 0.12 mm, thereby meeting a demand for the increased terminal number of the semiconductor device. The second surface 331Ab of each inner lead 331A is flat, such that it is easy to wire-bond. The third and fourth surfaces 331Ac and 331Ad also have a concave shape depressed toward the inside of the inner lead. This structure exhibits a high strength even though the second face (wire bonding surface) is narrow. Moreover, the fabrication of the resin-encapsulated semiconductor device of the second embodiment is carried out in accordance with substantially the same process as that of the first embodiment, except that the semiconductor chip is mounted fixedly on the die pad, followed by encapsulation with the encapsulating resin.

For example, in a modification to the resin-encapsulated semiconductor device of the third embodiment, an opening 333C is formed on the tip of each terminal column 333 as in the modification to the first embodiment as shown in Fig. 2. The opening is protruded externally

from the encapsulating resin 340A such that the tip having the opening serves as the terminal 333A.

[EFFECTS OF THE INVENTION]

5 The present invention provides a resin-encapsulated semiconductor device employing the above-mentioned lead frame, which is capable of meeting a demand for the increased terminal number and is excellent in mounting efficiency. Furthermore, the resin-encapsulated
10 semiconductor device in accordance with this invention does not require a process of cutting or bending the dam bars as in the case of using a lead frame having outer leads as shown in Fig. 11b. As a result of this, the resin-encapsulated semiconductor device does not have a problem
15 in that the outer leads are bent, or a problem associated with coplanarity. In addition to these advantages, the resin-encapsulated semiconductor device has a shortened interconnection length as compared to the QTP or the BGA, whereby the semiconductor device can be reduced in a
20 parasitic capacity, and shortened in a transfer delay time.